

10/551224
PCT/JP2004/010206
06.8.2004

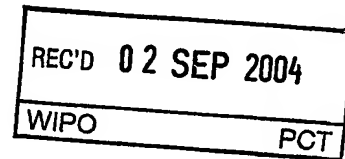
日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 7 月 1 8 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 2 7 6 6 6 0
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 2 7 6 6 6 0]



出 願 人 日 本 電 気 株 式 有 限 公 司
Applicant(s):

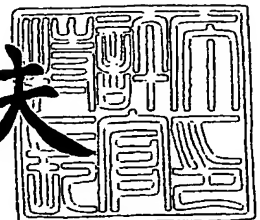
PRIORITY
DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1 (a) OR (b)

Best Available Copy

2 0 0 4 年 2 月 5 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出 証 番 号 出 証 特 2 0 0 4 - 3 0 0 6 7 1 0

【書類名】 特許願
【整理番号】 34103793
【提出日】 平成15年 7月18日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 21/33
H01L 27/10

【発明者】
【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内
【氏名】 阪本 利司

【発明者】
【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内
【氏名】 川浦 久雄

【発明者】
【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内
【氏名】 砂村 潤

【特許出願人】
【識別番号】 000004237
【氏名又は名称】 日本電気株式会社

【代理人】
【識別番号】 100123788
【弁理士】
【氏名又は名称】 宮崎 昭夫
【電話番号】 03-3585-1882

【選任した代理人】
【識別番号】 100088328
【弁理士】
【氏名又は名称】 金田 暢之

【選任した代理人】
【識別番号】 100106297
【弁理士】
【氏名又は名称】 伊藤 克博

【選任した代理人】
【識別番号】 100106138
【弁理士】
【氏名又は名称】 石橋 政幸

【手数料の表示】
【予納台帳番号】 201087
【納付金額】 21,000円

【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 0304683

【書類名】特許請求の範囲**【請求項1】**

電気化学反応を利用したスイッチング素子であって、
前記電気化学反応に用いられる金属イオンが伝導するためのイオン伝導体と、
前記イオン伝導体に接して、所定の距離だけ離れて設けられたソース電極およびドレイン電極と、

前記スイッチング素子をオン状態に遷移させる電圧が印加されると前記ソース電極およびドレイン電極の間に前記金属イオンによる金属を析出させて前記ソース電極およびドレイン電極を電氣的に接続し、前記スイッチング素子をオフ状態に遷移させる電圧が印加されると前記析出した金属を溶解させて該ソース電極およびドレイン電極の電氣的接続を切するための、前記イオン伝導体に接して設けられたゲート電極と、
を有するスイッチング素子。

【請求項2】

前記スイッチング素子がオン状態またはオフ状態になった後、前記ゲート電極への電圧の印加が停止されても、該状態を保持する請求項1記載のスイッチング素子。

【請求項3】

電気化学反応を利用したスイッチング素子であって、
前記電気化学反応に用いられる金属イオンが伝導するためのイオン伝導体と、
前記イオン伝導体に接して設けられたソース電極と、
前記スイッチング素子をオン状態に遷移させる電圧が印加されると前記金属イオンによる金属を析出させて該ソース電極と電氣的に接続され、前記スイッチング素子をオフ状態に遷移させる電圧が印加されると前記析出した金属を溶解させて該ソース電極との電氣的接続が切られる、前記イオン伝導体に接して該ソース電極と所定の距離だけ離れて設けられたドレイン電極と、

前記ソース電極に対して正の電圧が印加されると前記ソース電極およびドレイン電極間に流れる電流であるドレイン電流を増加させ、該ソース電極に対して負の電圧が印加されると該ドレイン電流を減少させるための、前記イオン伝導体に接して設けられたゲート電極と、
を有するスイッチング素子。

【請求項4】

電気化学反応を利用したスイッチング素子であって、
前記電気化学反応に用いられる金属イオンが伝導するためのイオン伝導体と、
前記イオン伝導体に接して設けられたソース電極と、
所定の電圧が所定の時間印加されると前記金属イオンによる金属が析出される、前記イオン伝導体に接して該ソース電極と所定の距離だけ離れて設けられたドレイン電極と、
前記ドレイン電極に所定の電圧が所定の時間印加された後、前記スイッチング素子をオン状態に遷移させる電圧が印加されると前記金属イオンによる金属を析出させて前記ソース電極とドレイン電極とを電氣的に接続するための、前記イオン伝導体に接して設けられたゲート電極と、
を有するスイッチング素子。

【請求項5】

前記スイッチング素子がオン状態またはオフ状態になった後、前記ゲート電極および前記ドレイン電極への電圧の印加が停止されても、該状態を保持する請求項3または4記載のスイッチング素子。

【請求項6】

前記ゲート電極は前記イオン伝導体に前記金属イオンを供給するための材料を含み、
前記ソース電極およびドレイン電極が前記イオン伝導体と接する部位は前記イオン伝導体と反応しない材料である請求項1または2記載のスイッチング素子。

【請求項7】

前記ゲート電極およびドレイン電極は前記イオン伝導体に前記金属イオンを供給するた

めの材料を含み、

前記ソース電極が前記イオン伝導体と接する部位は前記イオン伝導体と反応しない材料である請求項 3 乃至 5 のいずれか 1 項記載のスイッチング素子。

【請求項 8】

前記イオン伝導体と前記金属イオンを供給するための材料のそれぞれが、硫化銅と銅、または硫化銀と銀であって、

前記イオン伝導体と反応しない材料が、白金、アルミニウム、金、チタン、タングステン、バナジウム、ニオブ、タンタル、クロム、およびモリブデンの金属、ならびにこれらの金属の窒化物、およびこれらの金属のシリ化物のうち少なくともいずれか 1 つを含む請求項 6 または 7 記載のスイッチング素子。

【請求項 9】

前記ソース電極およびドレイン電極が前記ゲート電極の平面パターンに対して平行な同一平面内に形成され、該ソース電極およびドレイン電極のうち少なくともいずれか一方の平面パターンに尖鋭部を有し、

前記ソース電極と前記ドレイン電極との最短距離が前記一方の電極の尖鋭部から他方の電極までの距離で表わされる請求項 1 乃至 8 のいずれか 1 項記載のスイッチング素子。

【請求項 10】

前記イオン伝導体が、元素の周期律表における 6 B 族の元素を含んだカルコゲナイト材料と、金属イオン性非晶質半導体と、金属イオン性ガラスとのうち少なくともいずれか一つを含む請求項 1 乃至 9 のいずれか 1 項記載のスイッチング素子。

【請求項 11】

前記イオン伝導体が電解液である請求項 1 乃至 10 のいずれか 1 項記載のスイッチング素子。

【請求項 12】

請求項 1 乃至 10 のいずれか 1 項記載のスイッチング素子をプログラム用素子に用いた書き換え可能な論理集積回路。

【請求項 13】

請求項 1 乃至 10 のいずれか 1 項記載のスイッチング素子と、

前記スイッチング素子がオン状態およびオフ状態のいずれの状態であるかを読み出すためのトランジスタと、
を有するメモリ素子。

【書類名】明細書

【発明の名称】スイッチング素子、書き換え可能な論理集積回路およびメモリ素子

【技術分野】

【0001】

本発明は、電気化学反応を利用したスイッチング素子、ならびにそれを用いたFPL（フィールド・プログラマブル・ロジック：書き換え可能な論理集積回路）およびメモリ素子に関する。

【背景技術】

【0002】

メモリ集積回路のうち、電源を切った状態でもオンまたはオフの状態を保持可能な不揮発性機能を備えたスイッチング素子として、第1の従来例のアンチフューズ素子と、第2の従来例のEEPROM（エレクトリカル・イレーザブル・アンド・プログラマブル・リード・オンリ・メモリ）とがある。

【0003】

また、電気化学反応を利用して不揮発性機能を発揮するスイッチング素子として、第3の従来例のタイマー（または、電気化学的時間スイッチング装置）と、第4の従来例のPCRAM（プログラマブル・コンダクタ・ランダム・アクセス・メモリ）とがある。

【0004】

上記第1の従来例のアンチフューズ素子は、電氣的にオン状態とオフ状態の2つの状態を持ち、電氣的または物理的方法を用いてオフ状態からオン状態へ非可逆的に遷移可能なスイッチング素子である（例えば、特許文献1、特許文献2参照）。アンチフューズ素子は、通常2つの配線間に形成され、それらの配線間に選択的に高電圧を印加することによりアンチフューズ素子にプログラムし（オフ状態からオン状態に遷移させ）、配線間を電氣的に接続する。そして、電源遮断後もこのオン状態は保たれる。

【0005】

第2の従来例のEEPROMとして、浮遊ゲート電極がトランジスタの制御ゲート電極とチャネル層の間に配置されている構成が開示されている（例えば、特許文献3参照）。浮遊ゲート電極に電荷が蓄えられ（充電）、または浮遊ゲート電極から電荷が放出すること（放電）によって、トランジスタのしきい電圧が変化する。この充電または放電は、酸化膜を介したトンネル電流によって電子を浮遊ゲートに注入し、または浮遊ゲート電極から電子を放出させて行う。浮遊ゲート電極は、周囲を絶縁膜で囲まれているため、蓄えられた電荷は電源遮断後も失われることがなく不揮発性が実現される。

【0006】

アンチフューズ素子およびEEPROMが、近年、アプリケーションごとにハードウェア構成を変更可能な集積回路であるFPLに使用されている（例えば、特許文献4参照）。この特許文献4で開示されるFPLは、複数の論理回路ブロックと、論理回路ブロック同士を接続するための配線と、配線の接続を切り替えるためのアンチフューズ素子とを有する構成である。アンチフューズ素子はプログラム用素子として用いられている。上記構成においてユーザにより選択されたアンチフューズ素子が配線を結線する。そのため、結線位置の設定毎にハードウェア構成が異なる。このFPLは、ASIC（アプリケーション・スペシファイド・インテグレイティッド・サーキット）に比べると汎用性があるため安価に製造され、かつ製造のTAT（ターン・アラウンド・タイム）が短縮できるなど利点が多く、急速に市場規模が拡大している。

【0007】

第3の従来例のタイマーは、直流電源と負荷と第1および第2の内部電極とで閉ループを構成し、内部電極の一部を電解液中に浸して電気メッキを行い、内部電極の一部を切断することにより時間を設定している（例えば、特許文献5参照）。

【0008】

第4の従来例の電子素子として、イオンを伝導するための材料として銀イオン導電性イオン導電体であるゲルマーセレン化銀を利用したPCRAMが開示されている（例えば、

特許文献6参照)。

【0009】

図11は上記特許文献6に開示されたPCRAMの構造を示す断面概略図である。図11に示すように半導体基板87上に、絶縁材料81、導電材料82、誘電材料83が配置され、誘電材料83の一部にリセス構造(溝構造)が設けられている。リセス構造中にイオン導電材料86と金属材料84が配置され、電極85が金属材料84と誘電材料83の上に配置されている。電極85と導電材料82の間に電圧を加えると、デンドライトと呼ばれる電流路がイオン導電材料86の表面に形成され、電極85と導電材料82が電氣的に接続される。逆の電圧を加えると、デンドライトはなくなり、電極85と導電材料82が電氣的に絶縁される。

【特許文献1】米国特許第5070384号明細書

【特許文献2】米国特許第5387812号明細書

【特許文献3】米国特許第4203158号明細書

【特許文献4】特開平8-78532号公報

【特許文献5】実開平2-91133号公報

【特許文献6】米国特許第6348365号明細書

【発明の開示】

【発明が解決しようとする課題】

【0010】

第1の従来例のアンチフューズ素子は、FPLで主に用いられているスイッチング素子であり、オン状態のときの素子の抵抗であるオン抵抗が小さい(50Ω程度)ため、信号遅延時間が小さいことが特徴であるが、再プログラムができないという課題がある。したがって、FPLをプログラムする際に、デバッグや、動作中にプログラムを切り替えたいなどの要請に応えることができない。

【0011】

第2の従来例のEEPROMは再プログラムが可能であるものの、現在のところ集積度はまだ小さく、また、オン抵抗はMOSトランジスタの抵抗で制限されるために数kΩと大きい。不揮発性メモリとして広く用いられているが、集積度は絶縁膜の厚さで制限され、集積化がますます難しくなっている。また、FPLに用いた場合には大きなオン抵抗のために信号遅延が発生するという課題がある。

【0012】

第3の従来例のタイマーは、電気化学反応である電気メッキにより電極が溶解するまでの時間を計測する装置であり、スイッチング素子としてオン状態とオフ状態を制御して切り替えることはできない。

【0013】

第4の従来例の電子素子では、電気化学反応を利用した2端子スイッチを基本としている。オン状態とオフ状態間の遷移は2端子間に印加する電圧で制御する。状態間を遷移する場合にはスイッチに電流が流れるため、消費電力が大きい。また、遷移に必要な電流に耐える太い配線や駆動力の大きいトランジスタが必要である。スイッチが集積化可能であるとしても、配線や周辺回路を集積化することが困難である。

【0014】

本発明は上記したような従来技術が有する問題点を解決するためになされたものであり、高集積化可能で、電源を切ってもオン状態およびオフ状態のうちいずれか一方の状態を保持し、オン状態での抵抗値が低く、さらに上記いずれか一方の状態に再プログラムが可能なスイッチング素子、ならびにスイッチング素子を用いたFPLおよびメモリ素子を提供することを目的とする。

【課題を解決するための手段】

【0015】

上記目的を達成するための本発明のスイッチング素子は、電気化学反応を利用したスイッチング素子であって、

前記電気化学反応に用いられる金属イオンが伝導するためのイオン伝導体と、
前記イオン伝導体に接して、所定の距離だけ離れて設けられたソース電極およびドレイン電極と、

前記スイッチング素子をオン状態に遷移させる電圧が印加されると前記ソース電極およびドレイン電極の間に前記金属イオンによる金属を析出させて前記ソース電極およびドレイン電極を電氣的に接続し、前記スイッチング素子をオフ状態に遷移させる電圧が印加されると前記析出した金属を溶解させて該ソース電極およびドレイン電極の電氣的接続を切るための、前記イオン伝導体に接して設けられたゲート電極と、
を有する構成である。

【0016】

本発明では、スイッチング素子をオン状態にするための電圧をゲート電極に印加すると、電気化学反応によりイオン伝導体中に金属イオンがソース電極およびドレイン電極に引き寄せられてこれらの電極表面に金属が析出され、ソース電極とドレイン電極との間に析出した金属が両電極を電氣的に接続する。また、スイッチング素子をオフ状態にするための電圧をゲート電極に印加すると、ソース電極とドレイン電極の間に析出した金属が金属イオンとなってイオン伝導体中に溶解され、ソース電極とドレイン電極との電氣的接続が切れる。さらに、オン状態では、ソース電極とドレイン電極とが金属で接続されるため、ソース電極およびドレイン電極間の抵抗値がより小さくなる。

【0017】

また、上記本発明のスイッチング素子において、前記スイッチング素子がオン状態またはオフ状態になった後、前記ゲート電極への電圧の印加が停止されても、該状態を保持することとしてもよい。

【0018】

本発明では、スイッチング素子をオン状態にした後、ゲート電極に電圧を印加しなくても、析出した金属によりソース電極とドレイン電極とが電氣的に接続された状態が維持される。また、スイッチング素子をオフ状態にした後、ゲート電極に電圧を印加しなくても、ソース電極とドレイン電極との電氣的接続の切れた状態が維持される。そのため、オン状態またはオフ状態の情報を保持した不揮発性を有することになる。

【0019】

また、本発明のスイッチング素子は、電気化学反応を利用したスイッチング素子であって、

前記電気化学反応に用いられる金属イオンが伝導するためのイオン伝導体と、

前記イオン伝導体に接して設けられたソース電極と、

前記スイッチング素子をオン状態に遷移させる電圧が印加されると前記金属イオンによる金属を析出させて該ソース電極と電氣的に接続され、前記スイッチング素子をオフ状態に遷移させる電圧が印加されると前記析出した金属を溶解させて該ソース電極との電氣的接続が切られる、前記イオン伝導体に接して該ソース電極と所定の距離だけ離れて設けられたドレイン電極と、

前記ソース電極に対して正の電圧が印加されると前記ソース電極およびドレイン電極間に流れる電流であるドレイン電流を増加させ、該ソース電極に対して負の電圧が印加されると該ドレイン電流を減少させるための、前記イオン伝導体に接して設けられたゲート電極と、
を有する構成である。

【0020】

本発明では、スイッチング素子をオン状態にするための電圧をドレイン電極に印加すると、電気化学反応によりイオン伝導体中に金属イオンがソース電極に引き寄せられて電極表面に金属が析出され、ソース電極とドレイン電極の間に析出した金属が両電極を電氣的に接続する。そして、ソース電極に対して正の電圧をゲート電極に印加することで、ソース電極とドレイン電極の間に析出する金属の量が増え、ドレイン電流が増加する。また、スイッチング素子がオン状態になった後、ソース電極に対して負の電圧をゲート電極に印

加することで、ソース電極とドレイン電極の間に析出した金属の量が減り、ドレイン電流が減少する。そして、スイッチング素子をオフ状態にするための電圧をドレイン電極に印加すると、ソース電極とドレイン電極の間に析出した金属が金属イオンとなってイオン伝導体中に溶解され、ソース電極とドレイン電極との電氣的接続が切れる。そのため、ドレイン電極に電圧を印加することでオン状態およびオフ状態を制御できるだけでなく、ゲート電極に電圧を印加することでドレイン電流の大きさを制御できる。

【0021】

また、本発明のスイッチング素子は、電気化学反応を利用したスイッチング素子であって、

前記電気化学反応に用いられる金属イオンが伝導するためのイオン伝導体と、

前記イオン伝導体に接して設けられたソース電極と、

所定の電圧が所定の時間印加されると前記金属イオンによる金属が析出される、前記イオン伝導体に接して該ソース電極と所定の距離だけ離れて設けられたドレイン電極と、

前記ドレイン電極に所定の電圧が所定の時間印加された後、前記スイッチング素子をオン状態に遷移させる電圧が印加されると前記金属イオンによる金属を析出させて前記ソース電極とドレイン電極とを電氣的に接続するための、前記イオン伝導体に接して設けられたゲート電極と、

を有する構成である。

【0022】

本発明では、ソース電極とドレイン電極とが電気化学反応により析出される金属で接続される前までドレイン電極に電圧を印加した後、スイッチング素子をオン状態にするための電圧をゲート電極に印加することで、ソース電極とドレイン電極とを電氣的に接続している。そのため、ソース電極とドレイン電極が電氣的に接続するときにドレイン電流が過剰に流れることを防ぎ、消費電力が抑制される。

【0023】

また、上記本発明のスイッチング素子において、前記スイッチング素子がオン状態またはオフ状態になった後、前記ゲート電極および前記ドレイン電極への電圧の印加が停止されても、該状態を保持することとしてもよい。

【0024】

本発明では、スイッチング素子をオン状態またはオフ状態にした後、ゲート電極およびドレイン電極に電圧を印加しなくても、金属が析出した状態、または金属が溶解した状態が維持されるため、オン状態またはオフ状態の情報を保持した不揮発性を有することになる。

【0025】

また、上記本発明のスイッチング素子において、前記ゲート電極は前記イオン伝導体に前記金属イオンを供給するための材料を含み、

前記ソース電極およびドレイン電極が前記イオン伝導体と接する部位は前記イオン伝導体と反応しない材料であることとしてもよい。

【0026】

本発明では、電気化学反応によりゲート電極から金属イオンがイオン伝導体に供給されるため、イオン伝導度が大きくなり、状態間の遷移速度がより大きくなる。

【0027】

また、上記本発明のスイッチング素子において、前記ゲート電極およびドレイン電極は前記イオン伝導体に前記金属イオンを供給するための材料を含み、

前記ソース電極が前記イオン伝導体と接する部位は前記イオン伝導体と反応しない材料であることとしてもよい。

【0028】

本発明では、電気化学反応によりゲート電極およびドレイン電極から金属イオンがイオン伝導体に供給されるため、イオン伝導度が大きくなり、状態間の遷移速度がより大きくなる。

【0029】

また、上記本発明のスイッチング素子において、前記イオン伝導体と前記金属イオンを供給するための材料のそれぞれが、硫化銅と銅、または硫化銀と銀であって、

前記イオン伝導体と反応しない材料が、白金、アルミニウム、金、チタン、タングステン、バナジウム、ニオブ、タンタル、クロム、およびモリブデンの金属、ならびにこれらの金属の窒化物、およびこれらの金属のシリ化物のうち少なくともいずれか1つを含むこととしてもよい。

【0030】

また、上記本発明のスイッチング素子において、前記ソース電極およびドレイン電極が前記ゲート電極の平面パターンに対して平行な同一平面内に形成され、該ソース電極およびドレイン電極のうち少なくともいずれか一方の平面パターンに尖鋭部を有し、

前記ソース電極と前記ドレイン電極との最短距離が前記一方の電極の尖鋭部から他方の電極までの距離で表わされることとしてもよい。

【0031】

本発明では、2つの電極間の最短距離が一方の電極における尖鋭部から他方の電極までの距離になるため、その尖鋭部を有する方の電極では少なくとも尖鋭部付近に銅が析出されることで他方の電極と電気的に接続可能となり、余分な銅の析出を必要とせず、オフ状態からオン状態への遷移速度がより大きくなる。また、スイッチング素子をオフ状態にする場合、上記尖鋭部付近の金属が溶解すればよいため、オン状態からオフ状態への遷移速度も大きくなる。

【0032】

さらに、上記本発明のスイッチング素子において、前記イオン伝導体が、元素の周期律表における6B族の元素を含んだカルコゲナイト材料と、金属イオン性非晶質半導体と、金属イオン性ガラスとのうち少なくともいずれか一つを含むこととしてもよく、前記イオン伝導体が電解液であることとしてもよい。

【0033】

一方、上記目的を達成するための本発明の書き換え可能な論理集積回路は、上記本発明のスイッチング素子のうちいずれかをプログラム用素子に用いた構成である。

【0034】

本発明では、プログラム用素子として用いたスイッチング素子をオン状態またはオフ状態に遷移させることで、論理回路を自由に設定できる。

【0035】

また、上記目的を達成するための本発明のメモリ素子は、上記本発明のスイッチング素子のうちいずれかと、

前記スイッチング素子がオン状態およびオフ状態のいずれの状態であるかを読み出すためのトランジスタと、
を有する構成である。

【0036】

本発明では、電気化学反応を利用してスイッチング素子をオン状態またはオフ状態にした後、ゲート電極およびドレイン電極に電圧を印加しなくてもその状態が保持されるため、不揮発性メモリとして利用できる。

【発明の効果】

【0037】

本発明は以上説明したように構成されているので、以下に記載する効果を奏する。

【0038】

本発明によれば、ゲート電極およびドレイン電極のうち少なくともいずれか一方に所定の電圧を印加することでオン状態またはオフ状態に任意に設定可能で、不揮発性で、かつオン状態の抵抗値がより小さいスイッチング素子を提供できる。また、本発明のスイッチング素子は構造が簡便で微細であるため、従来よりもはるかに微細化が可能である。

【0039】

また、本発明のスイッチング素子をFPLに使用すれば、再プログラム可能で、かつ動作速度の大きいFPLを提供し得る。

【0040】

また、本発明のスイッチング素子をメモリ素子の情報記憶手段に使用すれば、書き込み・読み出し速度の速い不揮発性メモリ素子を提供できる。そして、本発明のスイッチング素子は構造が簡便で微細であるため、高集積で高速なメモリ集積回路を提供できる。

【0041】

さらに、本発明の製造方法によれば、従来の半導体集積回路の製造技術を適用して精度よく、再現性よく製造できる。したがって、スイッチング素子、およびそれを用いたFPLやメモリ素子等の集積回路を低コストで提供し得る。

【発明を実施するための最良の形態】

【0042】

本発明のスイッチング素子は、ゲート電極に印加する電圧を制御してソース電極とドレイン電極との間に金属を析出させることでスイッチをオン状態にし、析出した金属を溶解させることでスイッチをオフ状態にすることを特徴とする。また、各状態はゲート電極に電圧を印加するのを止めても保持される。

【0043】

本発明の構成について説明する。

【0044】

図1は本発明のスイッチング素子の一構成例を示す断面図である。

【0045】

図1に示すように、本発明のスイッチング素子は、絶縁膜としてシリコン酸化膜がシリコン基板に被覆された基板5上に所定の距離を設けて形成されたソース電極1およびドレイン電極2と、ソース電極1およびドレイン電極2に接して設けられ、電気化学反応のための金属イオンを含んだイオン伝導体4と、イオン伝導体4上に形成されたゲート電極3とを有する。ゲート電極3は、印加される電圧の大きさにより、ソース電極1およびドレイン電極2の間の伝導度を制御するためのものである。ソース電極1、ドレイン電極2およびゲート電極3は相互に電氣的に絶縁された状態で配置されている。

【0046】

ゲート電極3は電気化学反応によってイオン伝導体4に金属イオンを供給するための材料を含んでいる。ソース電極1およびドレイン電極2のイオン伝導体4と接する部位には電気化学反応によってイオン伝導体4と反応しない材料が用いられているため、ソース電極1およびドレイン電極2は金属イオンを供給しない。

【0047】

上記構成のスイッチング素子の動作について説明する。

【0048】

ソース電極1およびドレイン電極2に対してゲート電極3に正の電圧を印加すると、近接するソース電極1およびドレイン電極2上に金属イオンの還元反応によって金属が析出する。そして、ソース電極1およびドレイン電極2間に設けた所定の距離である電極間のギャップ6に析出した金属のためにソース電極1およびドレイン電極2が電氣的に接続されて、スイッチはオン状態に遷移する。一方、ソース電極1およびドレイン電極2に対してゲート電極3に負の電圧を印加すると、電極間のギャップ6において析出した金属が酸化されて金属イオンとなりイオン伝導体4中に溶解し、電極間のギャップ6の金属が取り除かれてオフ状態に遷移する。なお、この電極間のギャップ6はソース電極1およびドレイン電極2間の距離の最短部となる。

【0049】

これらのオン状態およびオフ状態は、ゲート電極3に電圧を印加するのを止めてもそれぞれの状態が保持される。また、オン状態の後、ゲート電極3に印加する電圧の印加時間および印加電圧にしたがって金属が析出または溶解し、ゲート電極3に印加する電圧によりソース電極1およびドレイン電極2間の伝導度を制御可能となる。

【0050】

次に、図1に示したスイッチング素子の電気特性について説明する。

【0051】

図2はスイッチング素子の電気特性を示すグラフである。図2に示すグラフの横軸は図1のスイッチング素子のゲート電極3に印加される電圧であるゲート電圧を示し、縦軸はソース電極1およびドレイン電極2の間に流れる電流であるドレイン電流を示す。

【0052】

実測に用いたスイッチング素子は、イオン伝導体4が硫化銅水溶液であり、ソース電極1は白金(Pt)で形成され、ゲート電極3およびドレイン電極2は銅(Cu)で形成されている。

【0053】

図2に示すように、ドレイン電極2とソース電極1との間の電圧を一定として、ゲート電極3とソース電極1との間の電位差を所定の範囲で繰返し増減させると、ドレイン電極2とソース電極1との間の伝導度がヒステリシスを示すことがわかる。以下に、そのことを詳細に説明する。

【0054】

電圧を印加しない初期状態ではドレイン電流がほとんど流れないオフ状態であり、オフ状態からゲート電極3に印加するゲート電圧を0Vから正の方向に+0.75Vまで変化させるとドレイン電流が約2mA流れてスイッチング素子がオン状態に遷移する。続いて、オン状態からゲート電圧を負の方向に-0.4Vまで変化させると、ドレイン電流がほとんど流れなくなり、スイッチング素子がオフ状態に遷移する。このように、ゲート電圧が-0.4Vと+0.75Vの間では遷移は起こらず、オン状態またはオフ状態が安定に存在する。また、ゲート電圧を繰返し増減させることにより、スイッチング素子をオン状態とオフ状態の間で何度でも遷移させることが可能となる。

【0055】

次に、上述のオン状態とオフ状態の遷移が生じる理由を説明する。

【0056】

図3は電気化学反応による銅の析出および溶解を説明するための模式図である。

【0057】

図3に示すように、硫酸銅と硫酸との混合溶液のイオン伝導体に金電極と銅電極とを浸漬し、銅電極側を正極、金電極側を負極にして電圧源により電圧を印加する。上記混合溶液は銅メッキ液であるため、正極の銅電極では銅が銅イオンとなってイオン伝導体に溶解し、負極の金電極では銅が析出する。このような電気化学反応によって銅の析出および溶解が起こる。

【0058】

図3に示した電気化学反応を利用したのが、本発明のスイッチング素子である。図3に示した銅電極が図1に示したゲート電極3に相当する。また、図3に示した金電極が図1に示したソース電極1およびドレイン電極2に相当する。

【0059】

次に、図3で示した電気化学反応を図1のスイッチング素子で説明する。

【0060】

上述した電気化学反応によりソース電極1およびドレイン電極2の表面に銅を析出させると、電極間のギャップ6が銅で埋まり、ソース電極1とドレイン電極2が電気的に接続され、スイッチング素子がオン状態に遷移する。スイッチング素子を図2に示したオン状態に遷移させた後、印加するゲート電圧を+0.75Vよりも大きくすると、ゲート電圧の値に伴ってドレイン電流が増加する。このことは、析出した銅の量が増えることで、ソース電極1とドレイン電極2との間の伝導度が増加することを示している。

【0061】

一方、電極間のギャップ6に析出した銅を上述した電気化学反応によりイオン伝導体4に溶解させると、電極間のギャップ6を埋めた銅が取り除かれ、ソース電極1とドレイン

電極 2 の電氣的な接続が切れ、スイッチング素子がオフ状態に遷移する。

【0062】

次に、オン状態とオフ状態との間の遷移の速度について説明する。

【0063】

上述したように、ゲート電極 3 から溶解した銅イオンがソース電極 1 またはドレイン電極 2 の表面まで伝導して電子と結合することで銅が析出するため、ソース電極 1 とドレイン電極 2 が電氣的に接続される。また、ソース電極 1 とドレイン電極 2 との間のギャップを埋めた銅が溶解することで、ソース電極 1 とドレイン電極 2 の電氣的な接続が切れる。このことから、オン状態とオフ状態との間の遷移の速度は金属イオンがイオン伝導体中を伝導する速度によって決定される。そして、金属イオンが伝導する速度はイオン伝導度とゲート電圧に依存する。

【0064】

なお、ここではイオン伝導体 4 として硫酸銅と硫酸との混合水溶液の電解液を用いたが、他のイオン伝導体においても同様の効果が発現する。イオン伝導体は、液体と固体との 2 種類に大きく分類される。液体には上記電解液があり、固体には溶液中のように金属イオンが自由に移動できる物質である固体電解質がある。集積回路中にスイッチング素子を用いる場合にはイオン伝導体は固体が適している。中でも、銀イオンと銅イオンは適切な固体電解質、例えば、硫化銀や硫化銅の中でイオン伝導性を示す。発明者らは、上記硫酸銅と硫酸の混合水溶液中の銅イオンと同様に、硫化銀中の銀イオンおよび硫化銅中の銅イオンのいずれにおいても、オン状態とオフ状態の間を遷移するスイッチング現象を示すことを見出している。銀イオンおよび銅イオンがイオン伝導する材料としては、周期律表において 6 B 族の元素を含むカルコゲナイドの他に、金属イオン性ガラスおよび金属イオン性非晶質半導体などが知られている。

【0065】

このような動作原理に基づく素子は、従来全く知られていなかったことであり、発明者らが初めて原理を考案し、実証に成功したものである。

【実施例 1】

【0066】

本発明のスイッチング素子のうち、イオン伝導体に固体電解質を用いたスイッチング素子の構成について説明する。

【0067】

図 4 はスイッチング素子の一構成例を示す断面図である。図 4 に示すように、スイッチング素子 10 は、絶縁膜としてシリコン酸化膜が被覆された基板 15 上に形成されたゲート電極 13 と、ゲート電極 13 上に形成されたイオン伝導体 14 と、イオン伝導体 14 上に形成されたソース電極 11 およびドレイン電極 12 とを有する。ソース電極 11 とドレイン電極 12 は同一平面内に形成され、この 2 つの電極間には 100 nm 以下のギャップが設けられている。ソース電極 11、ドレイン電極 12 およびゲート電極 13 は相互に電氣的に絶縁された状態で配置されている。

【0068】

ゲート電極 13 は電気化学反応によってイオン伝導体 14 に金属イオンを供給するための材料を含んでいる。イオン伝導体 14 は固体電解質であって電子伝導ができるだけ小さいものが好ましい。電子伝導が大きいほどスイッチング素子のオフ状態におけるリーク電流が大きくなるからである。ソース電極 11 およびドレイン電極 12 においてイオン伝導体 14 と接する部位は、電気化学反応によってイオン伝導体 4 と反応しない材料が用いられ、イオン伝導体 4 と接触しても金属イオンを供給しない。

【0069】

イオン伝導体 4 と反応しない材料として、例えば、白金、アルミニウム、金、チタン、タンゲステン、バナジウム、ニオブ、タンタル、クロム、およびモリブデンなどの金属がある。また、化学反応しにくく、イオンになりにくい材質として、これらの金属の窒化物やシリコン化合物（シリ化物）であってもよい。そして、ソース電極 11 およびドレイン

電極 12 のイオン伝導体 14 と接触する各部位は、共通の材料である必要はなく、これらの金属や化合物の中の材料のうちいずれかであればよい。

【0070】

次に、ソース電極 11 およびドレイン電極 12 の平面パターンについて説明する。

【0071】

図 5 はソース電極 11 およびドレイン電極 12 の平面パターンの一例を示す平面模式図である。

【0072】

図 5 (a) に示すように、ソース電極 11 とドレイン電極 12 の平面パターンが四角形であると、これら 2 つの電極のギャップは平行する 2 つの辺で形成される。

【0073】

一方、図 5 (b) に示す場合では、ソース電極 11 およびドレイン電極 12 の平面パターンは多角形であり、両パターンの頂点同士で 2 つの電極の最短距離となるギャップが形成されている。この場合には、ソース電極 11 とドレイン電極 12 との銅の析出による接続は、上記頂点間の銅の析出で可能となるため、余分な銅の析出を必要とせず、図 5 (a) の場合と比較してオン状態に遷移する速度がより大きくなる。また、析出した銅が溶解して 2 つの電極が切り離されてオフ状態に遷移する速度もより大きくなる。なお、図 5 (b) ではソース電極 11 とドレイン電極 12 とのギャップが頂点間で形成されているが、どちらか一方が辺であってもよい。この場合でも、図 5 (a) の場合よりもスイッチング現象における遷移速度が大きくなると考えられるからである。また、上記 2 つの電極が多角形である必要はなく、少なくともどちらか一方の電極に上記頂点のような尖鋭部を有していればよい。

【0074】

次に、上記構成のスイッチング素子の動作について説明する。

【0075】

ソース電極 11 を接地し、ドレイン電極 12 に +0.1 V 印加してゲート電極 13 に正の電圧を印加すると、ソース電極 11 とドレイン電極 12 との間に流れるドレイン電流が観測され、スイッチング素子がオン状態に遷移した。スイッチング素子がオン状態に遷移した後、ゲート電極 13 に印加するゲート電圧をさらに大きくすると、ドレイン電流が増大した。一方、ゲート電極 13 に負の電圧を印加するとドレイン電流が小さくなりスイッチング素子がオフ状態に遷移した。

【0076】

なお、オン状態とオフ状態との間を遷移させる際に、ソース電極 11 およびドレイン電極 12 の 2 つの電極間の抵抗値について所望の値である目標抵抗値になるようにゲート電圧の印加時間または印加電圧を、以下に示すようにしてフィードバック制御してもよい。

【0077】

図 6 はゲート電圧をフィードバック制御するためのフローチャートである。なお、実験ではパーソナルコンピュータ（以下、PC と称する）で制御を行った。PC には、プログラムにしたがって所定の処理を実行する CPU（セントラル・プロセッシング・ユニット）と、プログラムを格納するための記憶部とを有する。

【0078】

図 6 に示すように、PC は、所定の電圧をゲート電極 13 に印加すると（ステップ S101）、ドレイン電流となる出力電流を読み出し（ステップ S102）、印加した電圧の値と読み出した出力電流の値から上記 2 つの電極間の抵抗値を求め、予め設定された目標抵抗値と比較する（ステップ S103）。また、ゲート電極 13 に印加した電圧の値および印加時間と、求めた抵抗値とをデータとして記憶部に格納する。

【0079】

ステップ S103 で比較した結果、求めた抵抗値が目標抵抗値と所定の範囲内で一致すれば、電圧の印加を終了させる（ステップ S104）。一方、ステップ S103 で求めた抵抗値が目標抵抗値の所定の範囲に入らなければ、ステップ S101 に戻り、続けて電圧

を印加する。

【0080】

なお、図6に示したフローチャートにしたがって1回の処理に要する時間は100ms程度であるが、専用の電気回路を用いれば1回の処理に要する時間を100ns以下にすることも可能となる。

【0081】

このようにして、ゲート電極に印加した電圧の値をフィードバックすることで、オン状態とオフ状態間を確実に遷移させることができるだけでなく、オン抵抗、およびオフ状態のときの素子の抵抗であるオフ抵抗をより正確に決めることができる。

【0082】

次に、上記構成のスイッチング素子の製造方法について説明する。

【0083】

半導体基板上にシリコン酸化膜を膜厚300nm形成した後、真空蒸着法により銅膜を膜厚150nm形成する。続いて、リソグラフィ工程で所定のパターンのレジストを形成した後、レジストで被覆されていない部位の銅膜をイオンミリング法で除去してゲート電極14を形成する。その後、陽極分極法を用いてイオン伝導体14として硫化銅を膜厚100nm形成する。

【0084】

ここで、陽極分極法について詳細に説明する。0.025mol/Lの硫化ナトリウム水溶液中で、硫化される側の金属である銅を含んだゲート電極14を陽極にし、金を陰極にして電圧を印加すると、水溶液中の硫黄イオンが陽極に引き寄せられ、電気化学反応によってゲート電極14の表面から銅が硫化銅に変化する。イオン電流を計測することで硫化の進み具合をモニタし、所望の膜厚のイオン伝導体14を形成する。

【0085】

上記イオン伝導体14を形成した後、スパッタリング法によりチタン膜を膜厚10nm形成し、真空蒸着法により金膜を膜厚100nm形成する。続いて、リソグラフィ工程で所定のパターンのレジストを形成した後、ドライエッチングを行うことでソース電極11およびドレイン電極12を形成し、レジストを除去する。ここで、ソース電極11およびドレイン電極12の2つの電極を形成する際、電極間のギャップの大きさを100nm以下にしている。

【0086】

なお、チタン膜の形成にスパッタリング法を用いたが、真空蒸着法であってもよい。また、ソース電極11およびドレイン電極12を形成する際、ドライエッチングの代わりにリフトオフ法を用いてもよい。

【0087】

また、硫化銅を形成する際に陽極分極法を用いたが他の方法を用いてもよい。例えば、銅を気相中、200度C以上の温度で硫黄と反応させて硫化銅を形成する方法や、硫化銅をレーザーアブレーション法により成膜する方法であってもよい。

【0088】

本実施例ではシリコン酸化膜が被覆された基板15上にスイッチング素子を形成したが、基板表面に予め形成されたMOSトランジスタや配線などを被覆する絶縁膜上に本実施例のスイッチング素子を形成してもよい。スイッチング素子の製造工程における熱処理の温度が400度C以下であるため、上記絶縁膜上にスイッチング素子を形成しても、MOSトランジスタや配線の特性に対してほとんど影響を及ぼさないからである。また、スイッチング素子の上に形成した絶縁膜を介して、さらにスイッチング素子を形成することも可能である。そのため、本発明のスイッチング素子を適用すれば、集積回路の高集積化が容易となる。

【0089】

なお、本発明のスイッチング素子について図4に示した構成は1つの例示であって、本発明の範囲を逸脱しないような別の構成が可能である。本発明の他の構成例を図7Aから

図7Cに示す。

【0090】

図7Aでは、図4で示したスイッチング素子におけるイオン伝導体とゲート電極が絶縁層26中に埋め込まれたリセス構造となっている。シリコン酸化膜が被覆された基板25の上に所定の開孔を有し、その開孔にはゲート電極23とイオン伝導体24とが順に形成されている。イオン伝導体24の上にはソース電極21とドレイン電極22とが形成されている。なお、ソース電極21とドレイン電極22との間のギャップの距離は図4と同様である。このようにリセス構造とすることで、スイッチング素子を複数形成した場合、隣接する素子同士を電氣的に絶縁する絶縁層26の上面が平坦となり、絶縁層26上に形成するソース電極21およびドレイン電極22に接続される配線を平坦化することができ、配線の断線がより起こりにくくなる。

【0091】

図7Bでは、図7Aで示したスイッチング素子におけるゲート電極とソース電極およびドレイン電極を上下反転させた構造となっている。この場合には、イオン伝導体34がソース電極31とドレイン電極32との間のギャップ中にも形成されていることが特徴となる。

【0092】

図7Cでは、ソース電極41とゲート電極43が同じ配線層に設けられ、ドレイン電極42がイオン伝導体44を挟んで異なる配線層に設けられているのが特徴である。この場合、ドレイン電極42とソース電極41との間のギャップの大きさをイオン伝導体44の膜厚で設定できる。

【実施例2】

【0093】

本実施例は、実施例1におけるドレイン電極をゲート電極と同じ材料で形成したことを特徴とする。

【0094】

本実施例のスイッチング素子の構成について説明する。

【0095】

図8は本実施例によるスイッチング素子の構成を示す断面図である。

【0096】

図8に示すように、スイッチング素子50は、絶縁膜が被覆された基板55上に形成されたゲート電極53と、ゲート電極53の上に形成されたイオン伝導体54と、イオン伝導体54の上に形成されたソース電極51およびドレイン電極52とを有する。ソース電極51、ドレイン電極52およびゲート電極53は相互に電氣的に絶縁された状態で配置されている。

【0097】

ソース電極51とドレイン電極52は同一平面内に形成されている。ゲート電極53およびドレイン電極52は電気化学反応によってイオン伝導体54に金属イオンを供給するための材料を含むものである。ソース電極51およびイオン伝導体54のそれぞれは実施例1の場合と同様な材料であるため、ここではその詳細な説明を省略する。

【0098】

次に、上記構成のスイッチング素子におけるソース電極51およびドレイン電極52による2電極スイッチング素子の動作について説明する。

【0099】

ソース電極51を接地し、ドレイン電極52に正の電圧を印加することで、ソース電極51とドレイン電極52との間に銅の析出物による金属フィラメントが成長し、ソース電極51とドレイン電極52が電氣的に接続され、スイッチング素子がオン状態になる。一方、スイッチング素子がオン状態になった後、ドレイン電極52に負の電圧を印加することで、ソース電極51とドレイン電極52との間の金属フィラメントがイオン伝導体54に溶解し、ソース電極51とドレイン電極52との接続が切れ、スイッチング素子がオフ

状態になる。

【0100】

なお、上記2電極スイッチング素子と同様な構成による動作については開示されている（アプライド・フィジックス・レター誌、82巻、18号、p. 3032～3034）。本実施例では、以下に説明するように、ゲート電極53によってドレイン電流の大きさを制御する点に特徴がある。

【0101】

次に、上記構成のスイッチング素子の動作について説明する。

【0102】

上述のようにしてドレイン電極52に電圧を印加することで、ソース電極51とドレイン電極52が金属フィラメントによって接続されてオン状態になった後、ゲート電極53に正の電圧を印加することで、オン抵抗が小さくなるだけでなく、ドレイン電流が増大する。その理由は、オン状態になってソース電極51とドレイン電極52とが接続されると、オン抵抗の値が小さくなるためドレイン電極52に電圧がかかりにくくなり、銅の析出を増やすことができなくなるが、ゲート電極53に正の電圧を印加することでソース電極51およびドレイン電極52の間に銅をさらに析出させ、オン抵抗の値を小さくできるからである。

【0103】

一方、オン状態になった後、ゲート電極53に負の電圧を印加することで、ドレイン電流を減少させ、金属フィラメントを取り除いてオン抵抗を大きくし、さらにはオフ状態にすることが可能である。

【0104】

具体的な例として、オン抵抗の値を 10Ω 、ドレイン電圧を $0.1V$ とすると、ドレイン電流は $10mA$ になる。 $10mA$ という電流は配線幅が微細な半導体の集積回路では非常に大きな値であり、配線を太くしないと配線が焼き切れたり、配線中の原子が移動する現象（エレクトロマイグレーション）により断線したりといった問題が発生する。そこで、オン状態でゲート電極53に電圧を印加することで、オン抵抗の値を制御し、過剰なドレイン電流を流さないようにすることが可能となる。

【0105】

また、ドレイン電極52に所定の正の電圧を所定の時間印加してソース電極51とドレイン電極52との間で金属フィラメントが接続される直前に、ゲート電極53に電圧を印加することでスイッチング素子をオン状態にする。この場合、ゲート電極53に印加する電圧は小さくても、上記2電極スイッチング素子の欠点であった、スイッチング素子がオンするときにドレイン電流が流れすぎる問題を解消できる。なお、ソース電極51とドレイン電極52との間で金属フィラメントが接続される直前の状態にするための、ドレイン電極52に印加する上記所定の電圧および時間を予め調べ、ゲート電極53に電圧を印加するタイミングを設定する必要がある。

【0106】

本実施例では、ソース電極51とドレイン電極52とを電氣的に接続させるのに、上述したようにして、ソース電極51とドレイン電極52との間に電圧を印加してもよく、ゲート電極53に電圧を印加してもよい。

【0107】

次に、本実施例のスイッチング素子の製造方法について説明する。なお、実施例1と同様な工程についてはその詳細な説明を省略する。

【0108】

実施例1と同様にしてゲート電極53とイオン伝導体54を形成した後、スパッタリング法によりチタン膜を膜厚 $10nm$ 形成し、真空蒸着法により金膜を膜厚 $100nm$ 形成する。続いて、リソグラフィ工程で所定のパターンのレジストを形成した後、ドライエッチングを行うことでソース電極51を形成し、レジストを除去する。その後、真空蒸着法により銅膜を膜厚 $100nm$ 形成する。続いて、リソグラフィ工程で所定のパターンのレ

ジストを形成した後、レジストで被覆されていない部位の銅膜をイオンミリング法で除去してドレイン電極52を形成し、レジストを除去する。ソース電極51とドレイン電極52との間のギャップの大きさが100nm以下になるようにしている。

【0109】

なお、チタン膜の形成にスパッタリング法を用いたが、真空蒸着法であってもよい。また、ソース電極51およびドレイン電極52を形成する際、ドライエッチングの代わりにリフトオフ法を用いてもよい。さらに、硫化銅を形成する際に陽極分極法を用いたが、実施例1と同様に他の方法を用いてもよい。

【0110】

本実施例のスイッチング素子は1つの例示であって、本発明の範囲を逸脱しないような別の構成が可能である。また、ドレイン電極をゲート電極と同じ材料で形成する点を除けば、実施例1に述べた構成、配置、および製造方法を本実施例に当てはめることができる。

【実施例3】

【0111】

本発明のスイッチング素子を用いたFPLの構成について説明する。

【0112】

FPLは、背景技術で述べたように、複数の論理回路ブロックと、論理回路ブロック同士を接続するための配線と、配線の接続を切り替えるためのアンチフューズ素子とを有する構成である。本実施例では、プログラム用素子としてアンチフューズ素子の代わりに本発明のスイッチング素子を適用した。

【0113】

図9はFPLに適用した本発明のスイッチング素子の構成を示す断面図である。

【0114】

図9に示す構成は、実施例1の図7Aのソース電極21を配線A61にして、ドレイン電極22を配線B62にしたものである。

【0115】

図9に示したスイッチング素子の動作について説明する。

【0116】

配線A61および配線B62を接地してゲート電極63に正の電圧を印加するか、または、配線A61および配線B62に負の電圧を印加してゲート電極63を接地することで、配線A61と配線B62との間に銅を析出させて配線A61と配線B62とを電氣的に接続させる。一方、配線A61および配線B62を接地してゲート電極63に負の電圧を印加するか、または、配線A61および配線B62に正の電圧を印加してゲート電極63を接地することで、析出した銅を溶解させ配線A61と配線B62とを電氣的に切り離す。

【0117】

なお、FPLに用いるスイッチング素子は、実施例1の構成について図7Aに示した構成以外でもよく、実施例2で示した構成であってもよい。

【0118】

次に、図9に示したスイッチング素子の製造方法について説明する。なお、実施例1および実施例2と同様な工程についてはその詳細な説明を省略する。

【0119】

論理回路ブロックおよび周辺回路を形成した基板上に絶縁層65を形成する。続いて、所定の開孔を有する絶縁層64を形成し、開孔にゲート電極63およびイオン伝導体24を順に形成する。その後、図7Aで示したソース電極21およびドレイン電極22の代わりに、配線A61および配線B62を形成する。

【0120】

本発明のスイッチング素子を用いたFPLは、実験の結果、数百万回以上の書き換えが可能であった。また、オン抵抗が小さいため信号遅延が小さくなる。さらに、書き換えが

できる点で従来技術のアンチフューズ素子より優れ、信号遅延が少ない点でEEPROMを用いたFPLより優れている。

【実施例 4】

【0121】

本発明のスイッチング素子を情報記憶手段に用いたメモリ素子の構成について説明する。

【0122】

図10は本発明のスイッチング素子を用いたメモリ素子の回路模式図である。

【0123】

図10に示すように、メモリアレイ70は、アレイ状のメモリセルと、ビット線73a～73zと、ワード線74a～74yと、ワード線75a～75yとを有する。メモリセル76は、セル選択用のMOSトランジスタ71と、スイッチング素子72とを有する構成である。ビット線およびワード線のそれぞれは図に示さないデコード回路およびドライバ回路のそれぞれに接続されている。ビット線は隣接するメモリセルと共通になっている。なお、メモリアレイ70、および図に示さないデコード回路およびドライバ回路等の周辺回路を含めてメモリ集積回路が構成されている。

【0124】

メモリセル76において、MOSトランジスタは、ソース電極がビット線73aに接続され、ゲート電極がワード線74aに接続されている。スイッチング素子72は、ソース電極がビット線73bに接続され、ゲート電極がワード線75aに接続されている。そして、スイッチング素子72のドレイン電極はMOSトランジスタ71のドレイン電極に接続されている。

【0125】

次に、上記構成のメモリ素子の動作について説明する。なお、記憶情報“1”と“0”のうち、スイッチング素子のオン状態を“1”とし、オフ状態を“0”とする。また、スイッチング素子のオン状態とオフ状態とを遷移させるのに必要な電圧（ゲート電圧とソース電極に印加される電圧との差）を V_t とし、MOSトランジスタ71の動作電圧を V_R とする。

【0126】

メモリセル76に“1”を書き込む場合には、メモリセル76のスイッチング素子72のゲート電極に接続されたワード線75aに電圧 V_t を印加し、ソース電極に接続されたビット線73bの電圧を0Vにする。そして、ワード線75b～75y、ならびにビット線73aおよび73c～73zに電圧($V_t/2$)を印加する。スイッチング素子72は、実施例1および実施例2で説明したようにオン状態になり、スイッチング素子72には記憶情報“1”が書き込まれる。このとき、スイッチング素子72以外の他のスイッチング素子は記憶情報が書き込まれず、電圧が印加される前の状態を保持する。

【0127】

メモリセル76に“0”を書き込む場合には、メモリセル76のスイッチング素子72のゲート電極に接続されたワード線75aの電圧を0Vにして、ソース電極に接続されたビット線73bに電圧 V_t を印加する。そして、ワード線75b～75y、ならびにビット線73aおよび73c～73zに電圧($V_t/2$)を印加する。スイッチング素子72は、実施例1および実施例2で説明したようにオフ状態になり、スイッチング素子72には記憶情報“0”が書き込まれる。スイッチング素子72以外の他のスイッチング素子は電圧が印加される前の状態を保持する。

【0128】

メモリセル76の情報を読み出すには、ワード線75aに電圧 V_R を印加してMOSトランジスタ71をオンさせ、他のワード線の電圧を0Vにして、ビット線73aとビット線73bとの間の抵抗値を求める。この抵抗値はMOSトランジスタ71のオン抵抗とスイッチング素子72との合成抵抗値であり、この合成抵抗値が測定できないほど大きい場合にはスイッチング素子72がオフ状態と判定でき、メモリセル76の記憶情報が“0”

であることがわかる。一方、上記合成抵抗値が所定の値より小さい場合にはスイッチング素子 72 がオン状態と判定でき、メモリセル 76 の記憶情報が“1”であることがわかる。

【0129】

本発明は上記実施例に限定されることなく、発明の範囲内で種々の変形が可能であり、それらも本発明の範囲内に含まれることはいうまでもない。

【図面の簡単な説明】

【0130】

【図1】本発明のスイッチング素子の一構成例を示す断面図である。

【図2】本発明のスイッチング素子の電気特性を示すグラフである。

【図3】本発明のスイッチング素子の電気化学反応を説明するための図である。

【図4】本発明のスイッチング素子の一構成例を示す断面図である。

【図5】ソース電極およびドレイン電極の平面パターンの一例を示す平面模式図である。

【図6】ゲート電圧をフィードバック制御するためのフローチャートである。

【図7A】実施例1のスイッチング素子の他の構造を示す断面図である。

【図7B】実施例1のスイッチング素子の他の構造を示す断面図である。

【図7C】実施例1のスイッチング素子の他の構造を示す断面図である。

【図8】実施例2のスイッチング素子の構成を示す断面図である。

【図9】FPLに適用した本発明のスイッチング素子の一構成例を示す断面図である。

【図10】本発明のスイッチング素子とMOSトランジスタを用いたメモリ素子を示す回路図である。

【図11】第4の従来例の電子素子の構成を示す断面概略図である。

【符号の説明】

【0131】

10、20、30、40、50、60、72 スwitchング素子

1、11、21、31、41、51 ソース電極

2、12、22、32、42、52 ドレイン電極

3、13、23、33、43、53、63 ゲート電極

4、14、14、34、44、54 イオン伝導体

5、15、25、35、45、55 基板

61 配線A

62 配線B

26、36、46、64 絶縁層

70 メモリアレイ

71 MOSトランジスタ

73a～73z ビット線

74a～74y、75a～75y ワード線

76 メモリセル

81 絶縁材料

82 導電材料

83 誘電材料

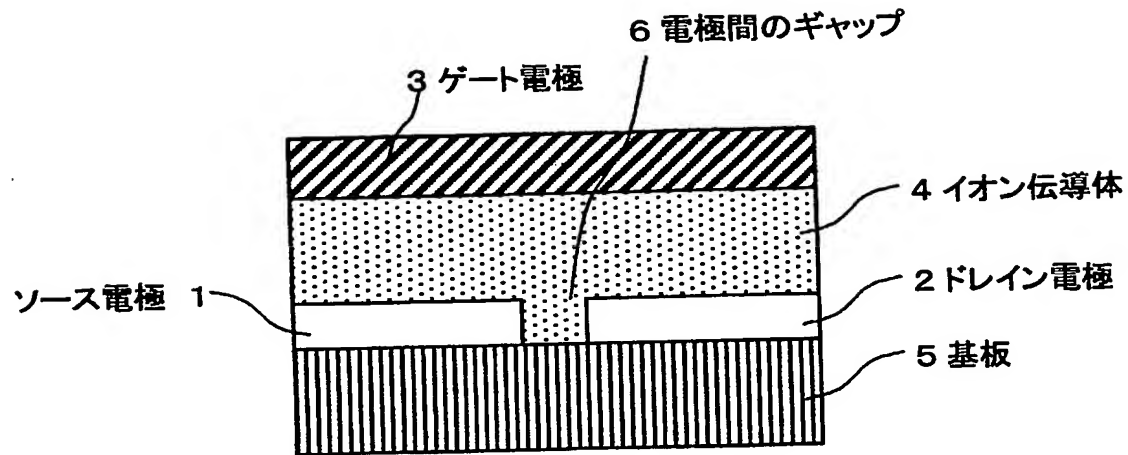
84 金属材料

85 電極

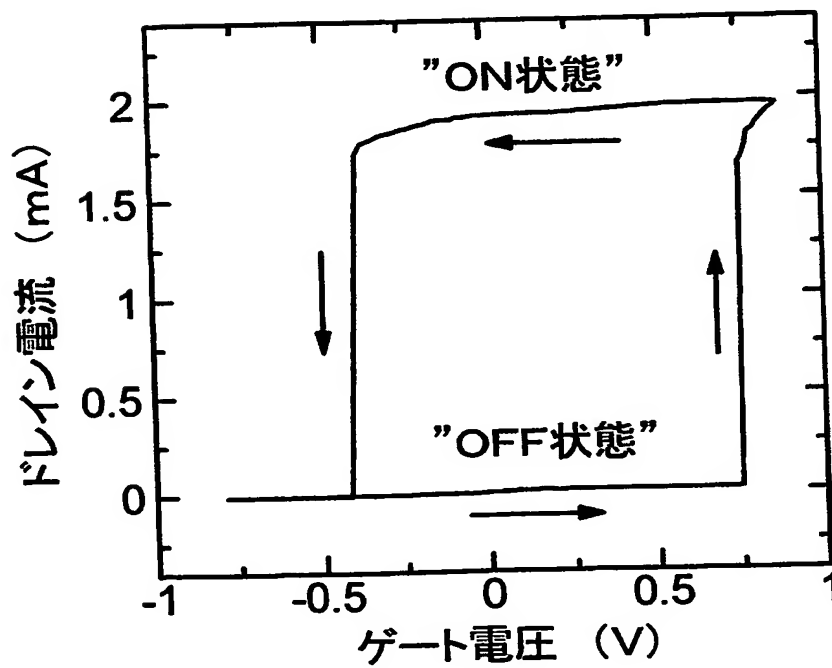
86 イオン導電材料

87 半導体基板

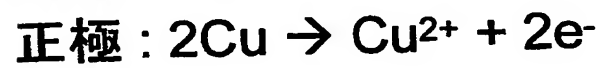
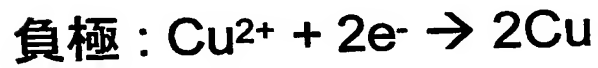
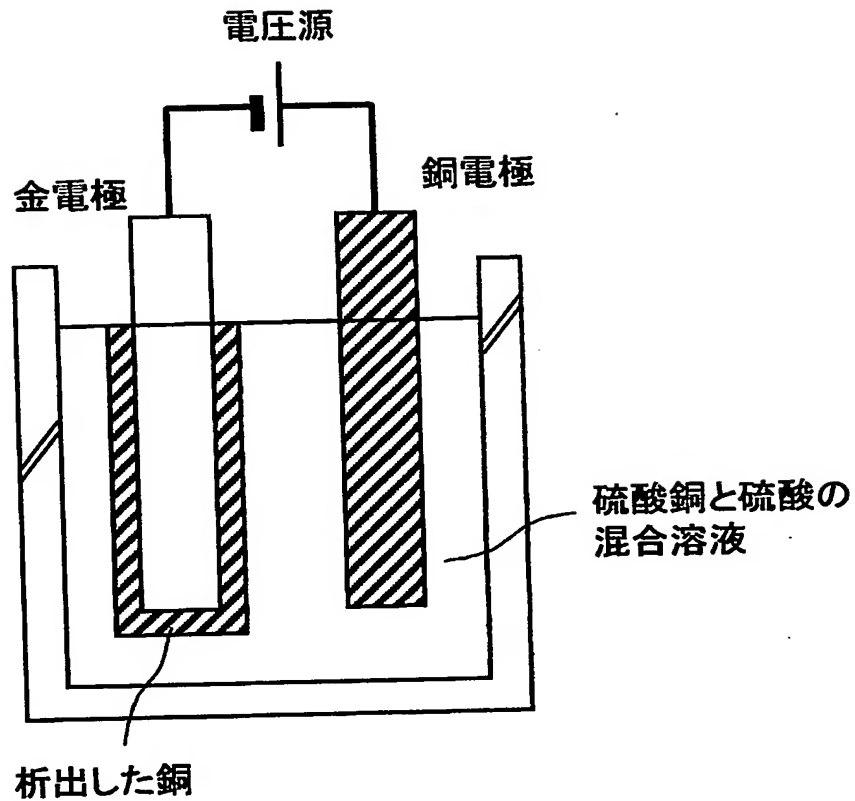
【書類名】 図面
【図 1】



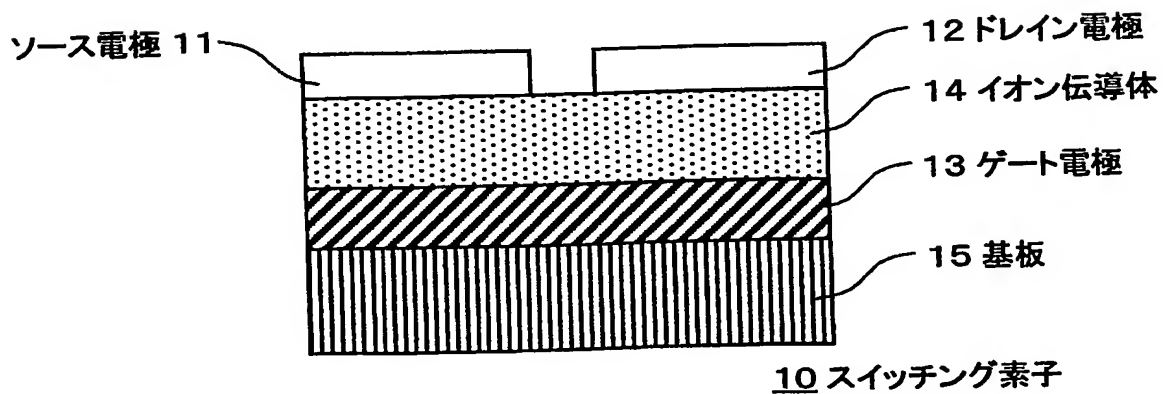
【図 2】



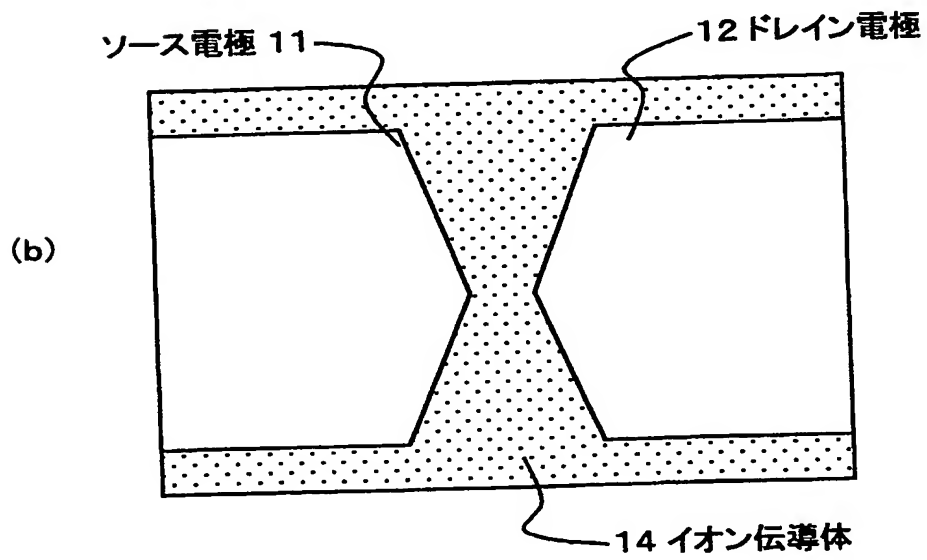
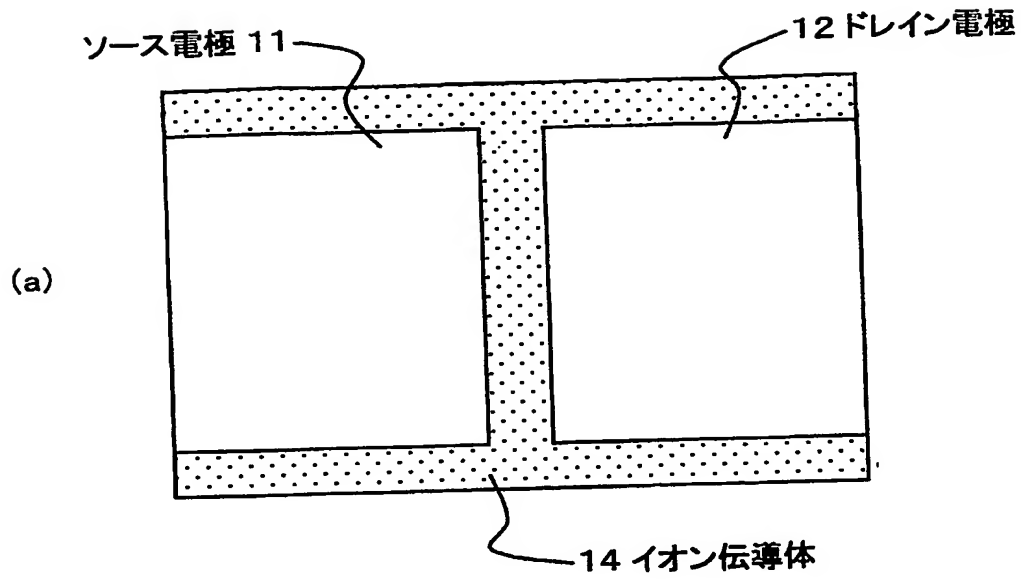
【図 3】



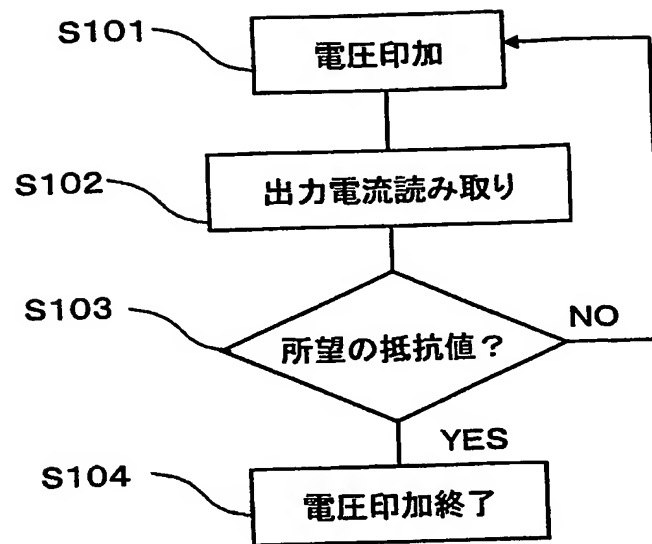
【図 4】



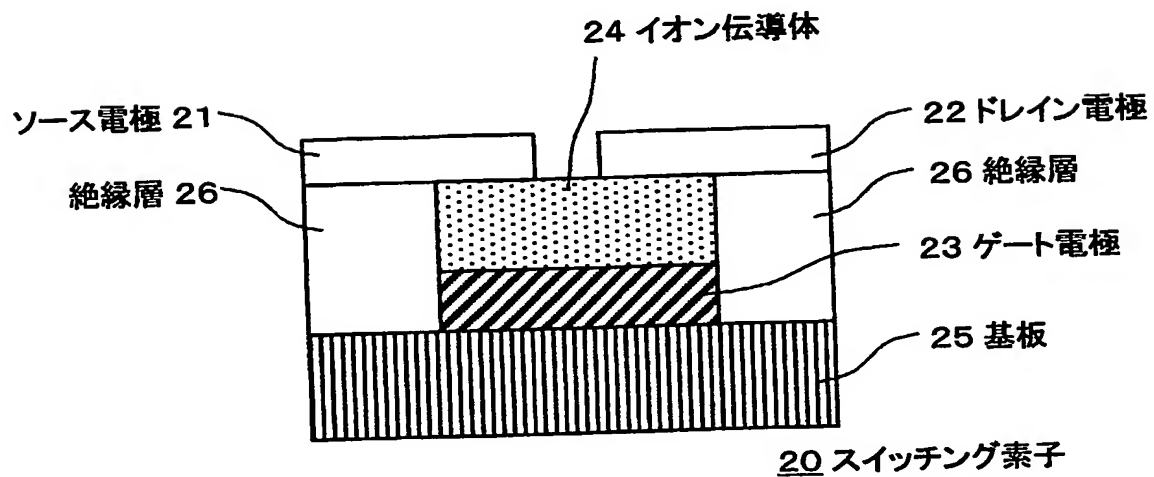
【図 5】



【図 6】

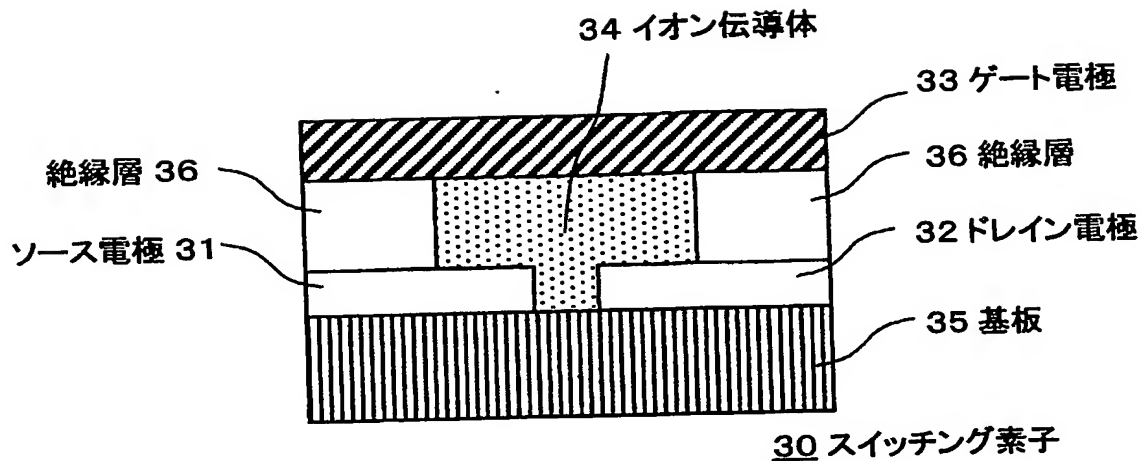


【図 7 A】

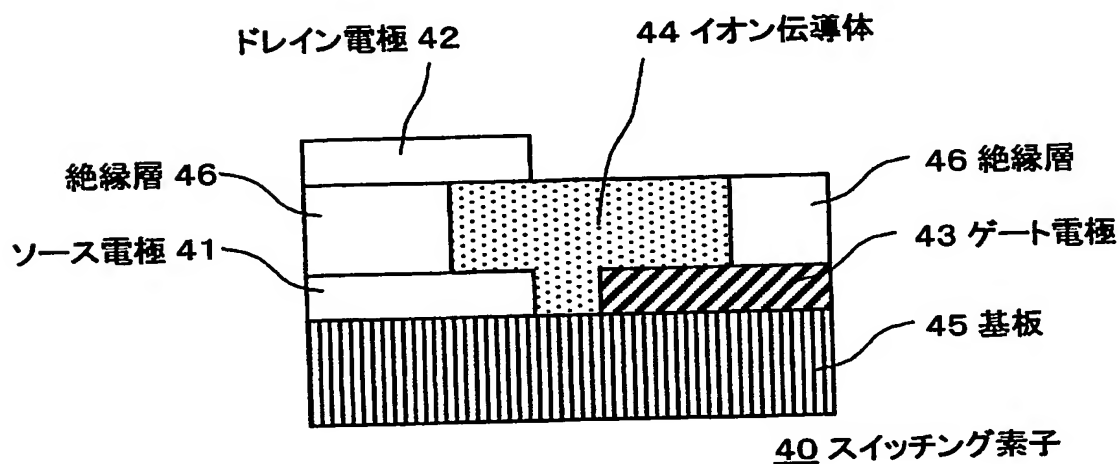


20 スイッチング素子

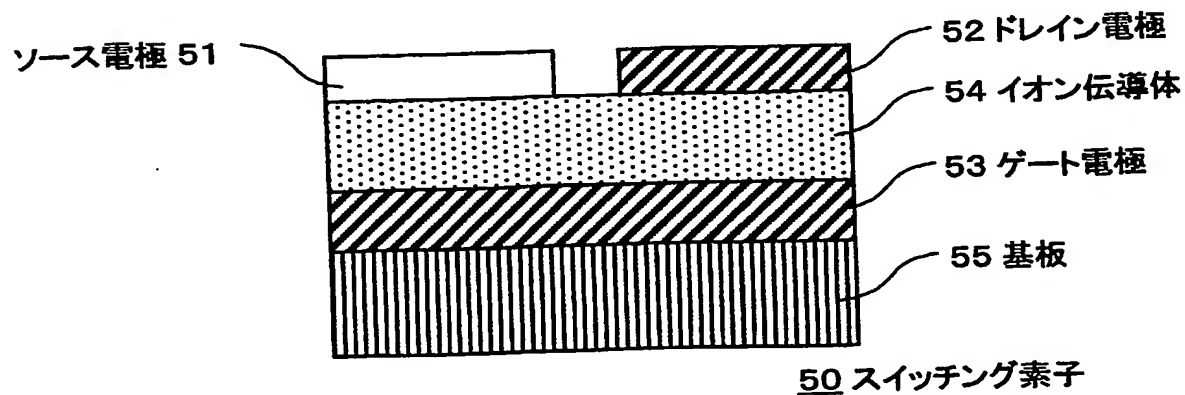
【図 7 B】



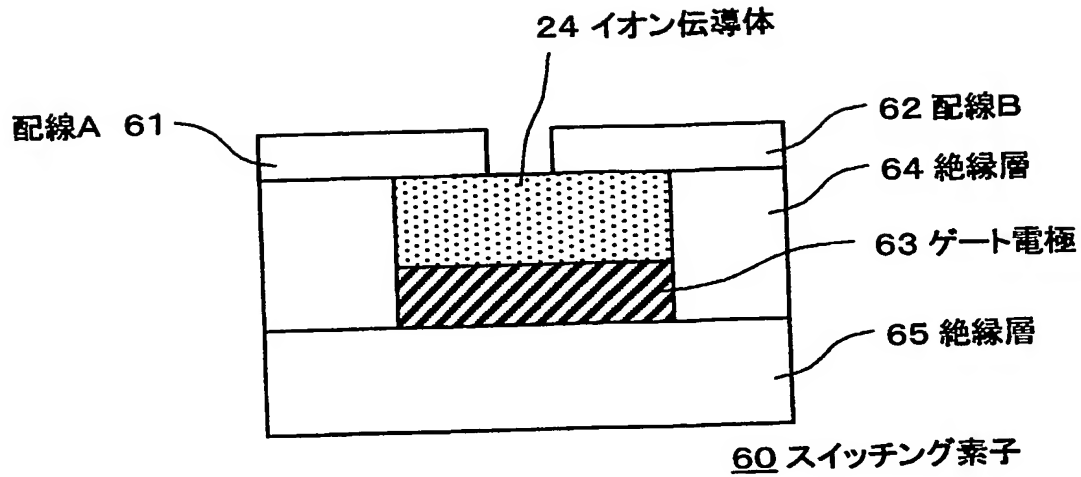
【図 7 C】



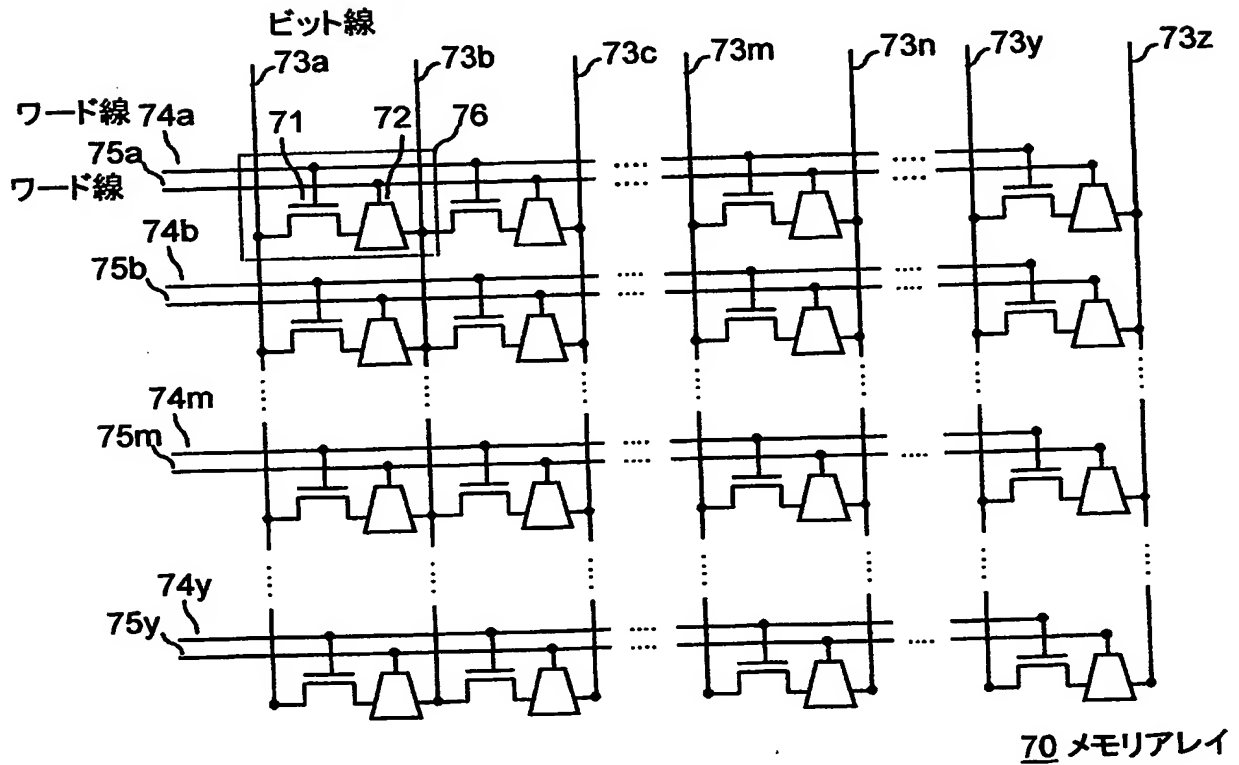
【図 8】



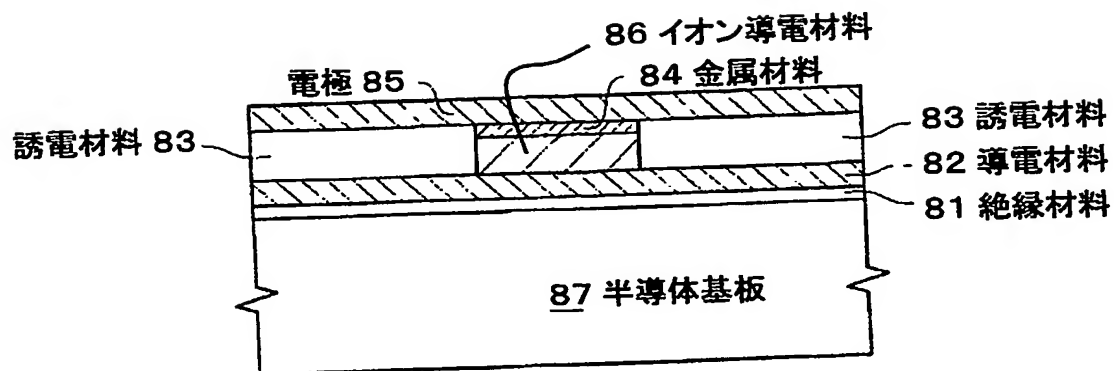
【図 9】



【図 10】



【図 11】



【書類名】 要約書

【要約】

【課題】 高集積化可能で、電源を切ってもオン状態およびオフ状態のうちいずれか一方の状態を保持し、オン状態での抵抗値が低く、さらに上記いずれか一方の状態に再プログラムが可能なスイッチング素子を提供する。

【解決手段】 電気化学反応に用いられる金属イオンが伝導するためのイオン伝導体 14 と、イオン伝導体 14 に接して、所定の距離だけ離れて設けられたソース電極 11 およびドレイン電極 12 と、オン状態に遷移させる電圧が印加されるとソース電極 11 およびドレイン電極 12 の間に金属イオンによる金属を析出させてソース電極 11 およびドレイン電極 12 を電氣的に接続し、オフ状態に遷移させる電圧が印加されると析出した金属を溶解させてソース電極 11 およびドレイン電極 12 の電氣的接続を切るための、イオン伝導体 14 に接して設けられたゲート電極 13 とを有する。

【選択図】 図 4

特 許 2 0 0 3 - 2 7 6 6 6 0

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 4 2 3 7]

1. 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

東京都港区芝五丁目7番1号

氏 名

日本電気株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☐ FADED TEXT OR DRAWING

☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☒ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☐ LINES OR MARKS ON ORIGINAL DOCUMENT

☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.